

# Nízkolatenční obchodování na burze s využitím externí DRAM

Lukáš Nevřkla

## Abstrakt

Základem nízkolatenčního obchodování je algoritmus definovaný obchodníkem, který je schopný analyzovat stav trhu a zasílat nabídky, či poptávky s prodlevou nižší, než jakýkoliv jiný obchodník. Nízkolatenční obchodování nabývá značné popularity, díky čemuž vzniká řada hardwarových akceleratorů, které umožňují latenci algoritmického obchodníka snížit do řádů stovek nanosekund. Tato práce se zabývá částí tohoto akceleratoru. Konkrétně se jedná o datovou strukturu poskytující klíčové informace o stavu trhu. V aktuální implementaci je tato struktura spravována softwarem hostujícího stroje. Cílem této práce je přemístit tuto správu do hardwarového akceleratoru, přičemž samotný obsah struktury bude uložen v externí dynamické paměti. Řešení si slibuje výrazné snížení latence správy datové struktury, jakožto i snížení zátěže na hostující stroj.

\*[xnevřk03@stud.fit.vutbr.cz](mailto:xnevřk03@stud.fit.vutbr.cz), Faculty of Information Technology, Brno University of Technology

## 1. Úvod

Příchod moderních technologií umožnil výrazně snížit reakční dobu obchodování, díky tzv. algoritmickému obchodování. Obchodník již nemusí v reálném čase analyzovat aktuální stav burzy a provádět rychlá rozhodnutí, ale může definovat tzv. strategii obchodování. Samotné rozhodnutí o koupi, či prodeji provádí stroj na základě definované strategie a aktuálního stavu burzy. Dnešní digitální technika dokáže tato rozhodnutí a analýzy provádět mnohonásobně rychleji, než jakýkoliv obchodník.

Odvětvím algoritmického obchodování, zaměřené na velmi nízkou latenci, je nízkolatenční obchodování (*HFT - High Frequency Trading*). Tento směr nabyl značné popularity mezi obchodníky. Objevují se řešení, které využívají speciálních akceleračních karet ke snížení reakční doby až do řádů stovek nanosekund. Hardwarová akcelerace tak přináší značné výhody nad konkurenčními obchodníky, ale i nové výzvy v samotné implementaci.

## 2. Hardwarová akcelerace HFT

Hardwarová akcelerace nízkolatenčního obchodování využívá specializovaných akceleračních karet s technologií *FPGA*. Tyto karty naslouchají datovým tokům

z burzy informujícím o změně jejího stavu. Pro zjištění nejvýhodnějších nabídek, nebo poptávek musí karta obsahovat několik datových struktur (viz obrázek plakátu č. 2), které umožní vstupní zprávy agregovat do relevantních informací.

První z těchto struktur je tabulka objednávek, která udržuje aktuální stav všech aktivních objednávek na burze. Každá objednávka nabízí, či poptává určité množství jednotek některého instrumentu, za určitou cenu. Obchodníci mohou své objednávky zakládat, rušit, či upravovat, přičemž burza se snaží propojit a zobchodovat vhodné skupiny objednávek.

Vyhledání nejvýhodnějších hladin ve velké tabulce objednávek může být výpočetně náročný úkol. Z toho důvodu se udržuje takzvaná tabulka symbolů, která agreguje a řadí objednávky podle jejich cen. Z tabulky symbolů lze jednoduše získat nejvýhodnější cenové hladiny určitého symbolu, tedy nejnižší ceny pro nákup a nejvyšší ceny pro prodej. Určitý počet nejvýhodnějších cen je předáván obchodovací strategii, která se na jejich základě rozhodne, zda vytvořit, nebo upravit některou objednávku.

### 3. Aktuální stav tabulky symbolů

Aktuální řešení popisuje diplomová práce [1], jejíž obsah je využit společností *Magmio*. Tabulka symbolů je aktuálně spravována převážně v softwaru hostujícího, neboť je příliš rozsáhlá pro uložení do vnitřních pamětí *FPGA* (viz obrázek plakátu č. 3).

V hardware se nachází pouze  $N + M$  cenových hladin pro každý instrument (tzv. *TopN+M* tabulka).  $N$  představuje počet cenových hladin předávaných obchodní strategii (často 5) a  $M$  reprezentuje rezervu cenových hladin (například 19). Rezerva je volena tak aby co nejlépe pokryla latenci doplňování položek z celkové tabulky symbolů v software. Synchronizace *TopN+M* tabulky a celkové tabulky symbolů je prováděna pomocí *DMA* přenosů (*Direct Memory Access*).

Přes řadu bezpečnostních opatření může dojít k uvážnutí synchronizace. *DMA* přenosy a softwarové zpracování mají nezanedbatelnou latenci, a tak i přes využití rezervního množství cenových hladin, může dojít k zásahu chybějících položek do prvních  $N$  hladin. Obchodovací strategie tak při rychlých změnách nemusí dostat kompletní přehled o stavu trhu. Dalším z problémů je množství komunikace mezi software a hardware, kvůli kterému není toto řešení využitelné pro větší množství symbolů.

### 4. Nové řešení tabulky symbolů

Cílem nového řešení je přemístit tabulku symbolů ze softwaru hostujícího stroje do externí paměti akcelerační karty. Tato změna umožní snížení latence obsluhy tabulky symbolů z řádů mikrosekund do řádů stovek nanosekund, a tím poskytne obchodovací strategii aktuálnější pohled na stav burzy. Mimo jiné dojde i k redukci zátěže hostujícího stroje, což by mohlo napomoci v podpoře nových burz s rozsáhlejší tabulkou symbolů.

Pro správu externí části tabulky symbolů byla navržena hardwarová komponenta jménem *DRAM ALU*, která tvoří hlavní výstup této práce. *DRAM ALU* přijímá synchronizační požadavky a na jejich základě upravuje tabulku symbolů uloženou v externí paměti. Externí část tabulky symbolů je udržována ve formě dvou-úrovňového stromu pro každý seznam cenových hladin (viz obrázek plakátu č. 4). Kořenová úroveň je uložena ve vnitřních pamětech *FPGA* a listová úroveň v externí paměti. Tento typ stromu vhodně využívá vysoké propustnosti externí dynamické paměti a zároveň snižuje počet přístupů do této paměti.

### 5. Závěr

Jednotka *DRAM ALU* byla implementovaná v jazyce *VHDL* a její funkčnost ověřena pomocí verifikací a hardwarových testů. Testy byly provedeny na kartě *fb2CGhh@KU15P* společnosti *Silicom Ltd.* s hradlovým polem *Xilinx Kintex UltraScale+* a *DDR4 DRAM* pamětí s frekvencí sběrnice *1333MHz*. Během hardwarových testů byla měřena latence provedení jednotlivých požadavků *DRAM ALU* (viz obrázek plakátu č. 5a). Latence se ve většině případů vyskytovala v rozsahu *140 – 200ns*. V *1,99%* případů se latence dostala do rozsahu *440 – 645ns*, což bylo způsobeno obnovou (*refresh*) externí dynamické paměti.

Také byl implementován *C++* software umožňující simulovat různé metody synchronizace mezi *DRAM ALU* a *TopN+M* tabulkou. Simulace byly prováděny na základě reálných dat z burz *NYSE*, *NASDAQ* a *NSE* a na základě naměřené latence *DRAM ALU*. Ze simulací vyplývá, že by nové řešení mohlo mít *40x až 400x* nižší počet chybějících položek v *TopN* hladinách *TopN+M* tabulky (viz obrázek plakátu č. 5b).

### Poděkování

Tímto děkuji vedoucímu práce panu doktorovi Tomášovi Martínkovi za skvělé rady a pomoc na tomto projektu.

### Literatura

- [1] Tomáš Závodník. *Architektura pro rekonstrukci knihy objednávek s nízkou latencí*. 2016.